

PAT-NO: JP02002334997A

DOCUMENT-IDENTIFIER: JP 2002334997 A

TITLE: SCHOTTKY BARRIER RECTIFYING DEVICE  
HAVING MOS TRENCH AND  
MANUFACTURING METHOD THEREFOR

PUBN-DATE: November 22, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
SHIMIZU, TAKASHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHINDENGEN ELECTRIC MFG CO LTD	N/A

APPL-NO: JP2001137538

APPL-DATE: May 8, 2001

INT-CL (IPC): H01L029/872

ABSTRACT:

PROBLEM TO BE SOLVED: To make compatible both a withstand voltage of 60 V or higher and a low VF, without using gradient doping technique, in a Schottky barrier rectifying apparatus having a MOS trench.

SOLUTION: In the Schottky barrier rectifying device having the MOS trench, the thickness of an oxide film, mesa width, and concentration in the impurities of epitaxial is to be set to 4,000 &angst; or more, 3 &mu;m or less, and 5&times;10<sup>15</sup> cm<sup>-3</sup> or more, respectively. After trench etching has been carried out, isotropic etching is made for forming a thermal

oxidation film, having a uniform thickness. CVD polysilicon is embedded into the trench and to remain on a sidewall oxide film and a Schottky metal is accumulated on it. Monosilane is used as the gas for epitaxial growth, and an epitaxial layer is grown at a low temperature of (900&deg;C to 1,000&deg;C).

COPYRIGHT: (C) 2003, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-334997

(P2002-334997A)

(43)公開日 平成14年11月22日(2002.11.22)

(51)Int.Cl.  
H01L 29/872

識別記号

F I  
H01L 29/48

マーク(参考)  
F 4M104

審査請求 未請求 請求項の数4 OL (全5頁)

(21)出願番号 特願2001-137538(P2001-137538)

(22)出願日 平成13年5月8日(2001.5.8)

(71)出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(72)発明者 清水 陸史

埼玉県飯能市南町10番13号新電元工業株式  
会社工場内

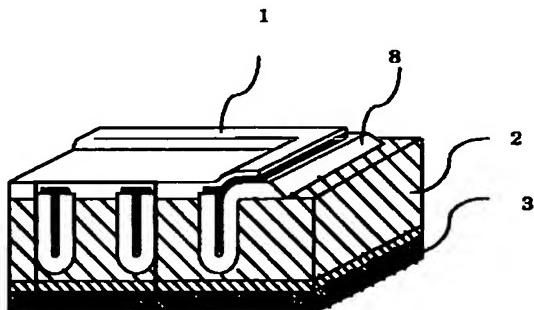
Fターム(参考) 4M104 BB01 CC03 DD43 EE03 EE11  
FF01 FF10 FF31 GG03 HH20

(54)【発明の名称】 MOSトレンチを有するショットキー障壁整流装置及びその製造方法

(57)【要約】

【目的】MOSトレンチを有するショットキー障壁整流装置において、傾斜ドーピング技術をもちいないで、60V以上の耐圧と低いVFの両立を実現する

【構成】MOSトレンチを有するショットキー障壁整流装置において、酸化膜の厚みを4000Å以上、メサ幅を3μm以下、エピタキシャルの不純物の濃度を $5 \times 10^{15} \text{ cm}^{-3}$ 以上とする。トレンチエッチをおこなった後、等方性エッティングをおこない、厚みの均一な熱酸化膜を形成する。CVDポリシリコンをトレンチ内部に埋め、側壁酸化膜の上に残し、その上にショットキメタルを堆積する。エピタキシャル成長ガスとしてモノシリコンをもちい、低温( $900^{\circ}\text{C}$ ~ $1000^{\circ}\text{C}$ )の下でエピタキシャル層を成長させる。



## 【特許請求の範囲】

【請求項1】半導体基板に該基板と同導電型で該基板に比べ低い不純物濃度の半導体層を有し、該半導体層に垂直に酸化膜側壁を有するトレンチを有し、該トレンチ内部にポリシリコンが充填され、該トレンチとトレンチの間の半導体表面にショットキメタルが堆積され、該ショットキメタルと該ポリシリコンとが同電位であるMOSトレンチを有するショットキー障壁整流装置において、該酸化膜の厚みが4000Å以上、該半導体層の不純物濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 以上あり、且つ該トレンチの底部における半導体層と酸化膜との境界が半円状もしくは半梢円状となっていることを特徴とするMOSトレンチを有するショットキー障壁整流装置。

【請求項2】該半導体層の該トレンチの底部における不純物濃度が表面の不純物濃度を1とした時、0.5~1.5の範囲以内にある事を特徴とする請求項1のMOSトレンチを有するショットキー障壁整流装置。

【請求項3】半導体基板に不純物濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 以上の砒素を含む半導体層をエピタキシャル成長により形成する工程と、該半導体層にトレンチを形成し、且つ該トレンチを等方性エッティングにより該トレンチ底部を半円状ないし半梢円状に整形する工程と、該トレンチ側壁部及び底部に跨り膜厚4000Å以上の酸化膜を形成する工程と、該トレンチ内部にCVD法によりポリシリコンを充填する工程と、該半導体層表面と該ポリシリコン表面に跨ってショットキーメタルを堆積する工程を含むMOSトレンチを有するショットキー障壁整流装置の製造方法。

【請求項4】トレンチの幅1乃至3μm、深さ6乃至9μmに形成した請求項3のMOSトレンチを有するショットキー障壁整流装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】ショットキー障壁整流装置の構造並びに製造方法に関するものである。

## 【0002】

【従来の技術】従来、ショットキー障壁整流装置は順方向電圧を低減するためにトレンチ技術を応用した構造が種々考えられ、代表例として「MOSトレンチを有するショットキー障壁整流装置」と題された、メーロトラの特許第2911605号に開示されているショットキー障壁整流装置がある。図10はこの構造図で1はショットキーメタル、2は低濃度半導体層、8は酸化膜である。

【0003】トレンチMOSゲートの側壁から空乏層が伸び、チャネルをビンチオフする。その結果、ダイオード表面の電界強度分布を緩和して耐圧を高める事ができるので、不純物濃度を高めてチャネル部の抵抗を減少する事ができ、従来に比べて順方向電圧を低減する事ができる。しかし、従来の技術によって本装置を設計・製造する場合、次の(イ)~(ハ)に挙げる欠点があった。

## 【0004】(イ)従来の技術では酸化膜の厚みは約10

10

00Å程度であった。このように薄い酸化膜の場合、耐圧はせいぜい30V程度しか得られない。より耐圧を高くする為には、エピタキシャル層の不純物濃度を、表面で低く、基板近くで高くし、一定の傾斜をつける必要がある。しかし、本方法は、コスト・再現性の点で問題がある。

(ロ) 従来の技術では、トレンチを形成した後、図7

(b) に示すようにトレンチの底に角を残し酸化膜を形成していた。しかし、角の部分の酸化膜は部分的に薄くなるので、電界が集中し、耐圧はこの部分の酸化膜厚によって制限されていた。

(ハ) 従来は、トレンチ内部に蒸着によってゲート電極を形成していた。耐圧を高めるためには、トレンチを深くする必要がある。この上にショットキメタルを蒸着しても、被覆性が良くないために、トレンチの底までメタルが到達しない。また、メタルの種類によっては酸化膜との密着性が悪く、メタルが剥離し、実用化できなかつた。

20

(ニ) エピタキシャルウェーハにおいて、基板の添加不純物原子としてひ素をもちいるが、ひ素はエピタキシャル成長の過程でエビに取り込まれやすく、基板に近いところに不純物濃度の高い領域(4)が生じる。この領域は、素子の耐圧の低下の原因となる。ひ素以外の不純物原子、一例としてアンチモンをもちいれば、上記のような問題は生じない。しかし、アンチモン基板はひ素基板に比べ比抵抗が高く、順方向電圧が大きくなる。

## 【0005】

【発明が解決しようとする課題】本発明は以下の(イ)~(ニ)の課題を解決したショットキー障壁整流装置及びその製造方法を提供する。

(イ) 耐圧が低く30V程度までしか得られない。耐圧をより高めるためには、エピタキシャル層の不純物濃度分布に傾斜を設ける必要があるが、コストと再現性の点で問題がある。

(ロ) 酸化後、トレンチ底の酸化膜が薄くなるため、耐圧を余り高くすることができない。

(ハ) 酸化膜にショットキメタルを堆積すると、トレンチ内部の底までメタルが被覆されない、また、メタルの種類によっては、酸化膜とショットキメタルとの密着性が悪く、剥離等の問題が生じる。

(ニ) ひ素をドープした基板にエピタキシャル成長したウェーハをもちいると、エピタキシャル層の濃度が不安定でばらつきやすく、耐圧を余り高くすることができない。

## 【0006】

【課題を解決するための手段】上記の課題を解決するため請求項1の発明は、半導体基板に該基板と同導電型で該基板に比べ低い不純物濃度の半導体層を有し、該半導体層に垂直に酸化膜側壁を有するトレンチを設け、該トレンチ内部にポリシリコンが充填され、該トレンチとト

50

レンチの間の半導体表面にショットキメタルが堆積され、該ショットキメタルと該ポリシリコンとが同電位であるMOSトレンチを有するショットキー障壁整流装置において、該酸化膜の厚みが4000Å以上、該半導体層の不純物濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 以上あり、且つ該トレンチの底部における半導体層と酸化膜との境界が半円状もしくは半梢円状となっていることを特徴とする。

【0007】上記の課題を解決するため請求項2の発明は、該半導体層の該トレンチの底部における不純物濃度が表面の不純物濃度を1とした時、0.5~1.5の範囲以内にある事を特徴とする。

【0008】上記の課題を解決するため請求項3の発明は、半導体基板に不純物濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 以上の砒素を含む半導体層をエピタキシャル成長により形成する工程と、該半導体層にトレンチを形成し、且つ該トレンチを等方性エッチングにより該トレンチ底部を半円状ないし半梢円状に整形する工程と、該トレンチ側壁部及び底部に跨り膜厚4000Å以上の酸化膜を形成する工程と、該トレンチ内部にCVD法によりポリシリコンを充填する工程と、該半導体層表面と該ポリシリコン表面に跨ってショットキー金属を堆積する工程を含むMOSトレンチを有するショットキー障壁整流装置の製造方法にある。

【0009】又、上記の課題を解決するため請求項4の発明は請求項3において、トレンチの幅1乃至3μm、深さ6乃至9μmに形成したことを特徴とする。

#### 【0010】

【実施の態様】図1、図2は本発明の実施例構造を示す斜視図及びその部分的拡大図で、1はショットキー金属、2は低濃度半導体層（エピタキシャル層）、3は半導体基板、8は酸化膜、wはその膜厚、Dはトレンチの深さ、9はポリシリコンで該ショットキー金属1、半導体層2、酸化膜8及びポリシリコン9によりMOSトレンチゲートを形成している。この構造によれば耐圧が高く再現性の良いショットキー障壁整流装置を低成本で実現できる。

【0011】次に本発明装置の製法について図11の各工程断面図を用いて説明する。先ず、半導体基板3に該基板3と同導電型且つ低濃度不純物を有する半導体層2を堆積する図11(a)。基板3に添加する不純物元素として、固溶度の高いひ素を、順電圧低減のために選択する。ひ素基板はエピタキシャル層の不純物濃度のばらつきが大きいので、モノシリコンガスを用い、900°C~100°Cの低温でエピタキシャル成長させることにより、ひ素の再取り込みを防ぎ、不純物濃度のばらつきを低減させる。

【0012】次に、該半導体層2に垂直に深さ6μm~10μmのトレンチをメサ幅約2μmで形成した後、ドライエッチングその他の装置により等方性エッチングをおこなう。これにより、トレンチ底部の境界を半円状ないしは半梢円状とすることができる。（図11b）

【0013】次に、熱酸化膜は、角の部分で薄くなる性質があるが、半円状ないしは半梢円状にしておくと、膜厚の均一性に優れた酸化膜8が得られる。酸化膜8の厚みは4000Å~15000Åと従来より厚くする。このことにより、耐圧を従来より高めることができる。（図11c）

【0014】つづいて、CVDによってトレンチ内部にポリシリコン9を充填する。CVDポリシリコンは、表面の被覆性に優れているので、トレンチ内部を容易に充填する事ができる（図11d）

【0015】次に、表面に露出している酸化膜の上に一部分ポリシリコンを残す。この残されたポリシリコンは、ショットキメタルとの接続強度を改善する働きがある。ショットキメタル1はポリシリコン9の上と、トレンチとトレンチ間の半導体層表面にも堆積され、トレンチ内部のポリシリコン9とショットキー金属は同電位になる。（図11e）

#### 【0016】

【作用】次に、本発明装置及び製法の作用について図3乃至図9を用いて説明する。図3は、半導体層2の、不純物濃度を同じにした時の従来のショットキーダイオードと本発明実施例の逆特性の比較を示す。特性曲線イは実施例、ロは従来例である。図3から明らかのように本発明では逆方向耐圧100V以上を達成できた。因みにトレンチ深さは5μm、メサ幅は2μm、不純物濃度は $1 \times 10^{15} \text{ cm}^{-3}$ である。

【0017】図4は半導体層の不純物濃度を変えた時の、逆降伏電圧について従来例と比較した特性図で本発明例では特性イに示すように不純物濃度は $5 \times 10^{15} \text{ cm}^{-3}$ 乃至 $16 \times 10^{15} \text{ cm}^{-3}$ で100V以上の高い降伏逆電圧を示す。尚、トレンチ深さは7μm、メサ幅は2μmである。

【0018】図5は、従来のショットキーダイオードと、本発明実施例の電界強度分布を比較した特性図で、従来のショットキーダイオードが曲線ロに示すように、ショットキー接合表面に電界強度のピークを持つのに対して、本実施例では曲線イに示すように電界強度分布は、トレンチの底付近にピークを持っている。さらに、従来のショットキーダイオードでは約30Vで降伏するのに対して、本発明品では、少なくとも45Vの逆電圧を印加しても降伏しない。

【0018】図6は、本発明実施例による電界強度分布の酸化膜厚依存性を示す。酸化膜厚を厚くするほど、深さ7μmの位置の電界強度、すなわち、トレンチ底部の電界強度が減少する事がわかる。

【0019】図7は、本発明実施例の降伏逆電圧の酸化膜厚および不純物濃度に対する依存性を示す特性図で、トレンチ深さは7μm、メサ幅は2μmにおいて、酸化膜厚を厚くすれば、降伏逆電圧は高くなる。不純物濃度を高くすれば、降伏逆電圧は低くなることを示している。又、酸化膜を厚くすることによってトレンチの底付

近の電界が緩和される。したがって、酸化膜厚を厚くすればするほど、耐圧を高める事ができる。

#### 【0020】

【図8】は、従来品と本発明実施例のトレンチMOSの断面形状の比較を示す。本発明によれば、図8aに示すようにトレンチ底部コーナーは半円状又は半梢円状になっている。

【0021】図9は、成長ガスとしてトリクロロシランを用い、常圧で成長させたエピタキシャル層の濃度分布特性を示す。基板とエピタキシャルの境界付近に遷移領域が存在する。例えば、従来技術の場合、図9に示すように基板に近い部分の濃度が高くなっている。これに対して、本発明技術の不純物濃度は、表面下7μmで、表面付近の濃度の1.2倍程度となっている。

#### (図9イ)

【0022】以上の説明のように本発明では、(1)、酸化膜を厚くすることによってトレンチの底付近の電界が緩和される。したがって、酸化膜厚を厚くすればするほど、耐圧を高める事ができる。又、酸化膜厚を厚くすればするほど、深さ7μmの位置の電界強度、すなわち、トレンチ底部の電界強度が減少する事がわかる。

(2)、トレンチ底の角を残したまま熱酸化をおこなった場合、角の部分は酸化反応があまりすすまないので、角の部分は薄くなる。細いトレンチを掘った後、等方性のエッティングをおこなうと、トレンチの底の部分を丸めることができることで事前に角を取り除いていれば、酸化膜厚の均一なトレンチが得られる。

(3)、CVD膜は凸凹の形状の表面に、均一な膜厚の膜を形成する事ができる。したがって、CVD膜によって、トレンチ内部にポリシリコンを埋め込む事ができる。ポリシリコン膜は、酸化膜に比べ、メタルとの密着性に優れている。

【0023】(4)、ひ素原子の再取り込みを抑制するには、エピタキシャル成長の温度を低温化すれば良い。低温化すると、成長速度が遅くなってしまいコスト高となるので、成長速度の速いガスを用いる。モノシリコンガスを用

いると、エピタキシャル成長温度を下げ、成長速度も上げる事ができる。その結果、不純物濃度の均一性の優れたエピタキシャル膜を得る事ができる。

#### 【0024】

【発明の効果】以上のお説明から明らかのように本発明によればトレンチ底部付近の濃度が常に一定で再現性良く得られるので、耐圧の再現性の高い素子が得られ、歩留りの向上と低コスト化が実現できる。また、素子の耐圧はトレンチ底部の不純物濃度で決まる。トレンチの上部の濃度を従来品より高くすることが可能である。更に比抵抗の低い素子基板をもちいることができる所以、順方向電圧を従来品に比べて低減することができる。

#### 【図面の簡単な説明】

【図1】本発明の実施例構造図

【図2】図1の部分的拡大図

【図3】同一不純物濃度での従来のショットキーダイオードと本発明実施例を比較した逆方向特性図

【図4】従来例と比較した不純物濃度と降伏逆電圧の関係を示す特性図

【図5】従来例と比較した表面からの距離と電界強度の関係を示す特性図

【図6】本発明実施例の酸化膜厚と電界強度の関係を示す特性図

【図7】本発明品の降伏逆電圧の酸化膜厚および不純物濃度に対する依存性を示す特性図

【図8】従来品と本発明品のトレンチMOSの断面形状の比較図

【図9】従来品と本発明品の不純物濃度分布の比較図

【図10】従来構造図

【図11】本発明装置の製法を示す製造工程別断面図  
【符号の説明】

1：ショットキーメタル

2：半導体層（エピタキシャル層）

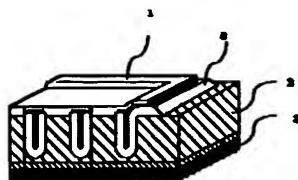
3：半導体基板

5、7：トレンチ角の部分の酸化膜

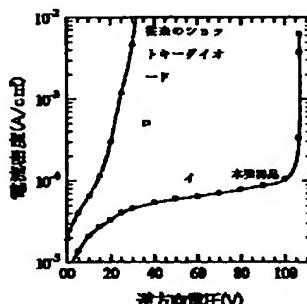
8：酸化膜

9：ポリシリコン

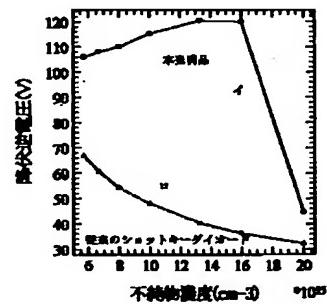
【図1】



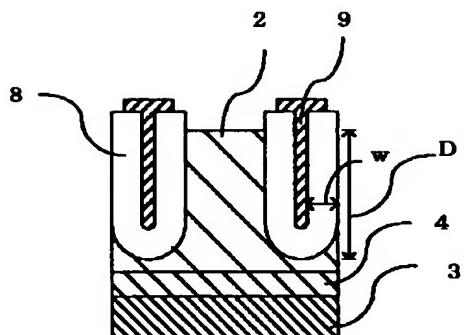
【図3】



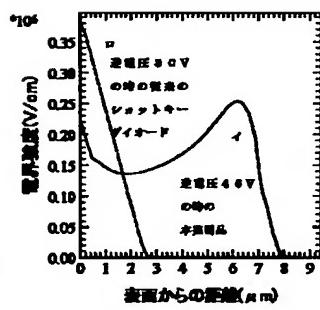
【図4】



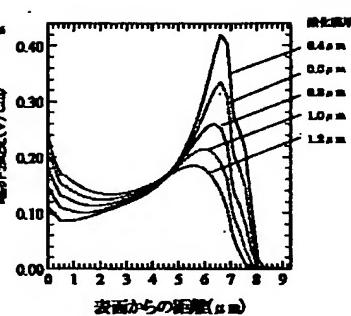
【図2】



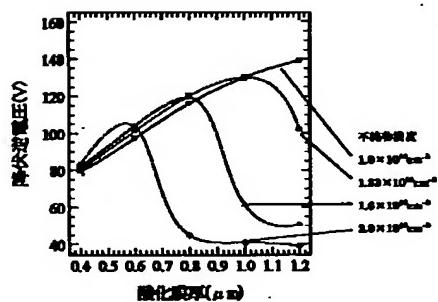
【図5】



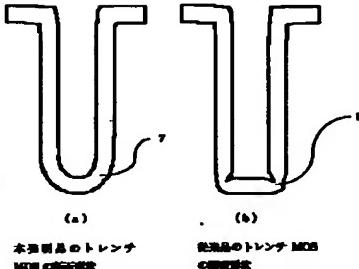
【図6】



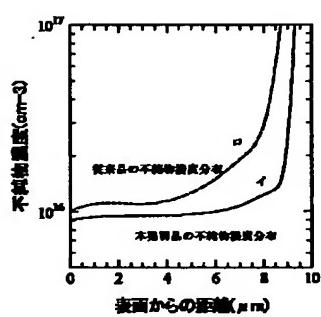
【図7】



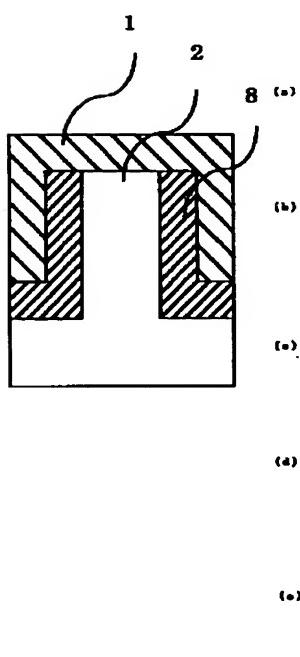
【図8】



【図9】



【図10】



【図11】

